

**PACKAGE OF INTEGRATED CIRCUIT**

Patent Number: JP59227143  
Publication date: 1984-12-20  
Inventor(s): NISHIKAWA SEIICHI  
Applicant(s): DAINIPPON INSATSU KK  
Requested Patent:  JP59227143  
Application Number: JP19830101317 19830607  
Priority Number(s):  
IPC Classification: H01L23/12 ; H01L23/28 ; H01L23/48  
EC Classification:  
Equivalents:

---

**Abstract**

PURPOSE: To contrive improvement of the mounting density by arranging the lead part of the lead frame on either of the top surface or the bottom surface of the resin sealed body.  
CONSTITUTION: The leads 2b are arranged so as to surround a chip bonding part 2a located in the center of the lead frame and one of the leads is formed to be connected to said bonding part 2a. In the center of each lead 2b, a terminal 2c projects vertically to the plane of the frame. After resin sealing 3, the terminal is exposed out of the resin surface and cut by the line CL thereby completing the operation. The exposed part of the lead is subjected to Au gilding or two-layer gilding of Ni and Au and the lead frame and the IC chip are connected by wire interconnection or gang interconnection. This constitution offers the IC suitable for incorporation of IC card especially. By using the projecting shape of the lead 2b, reinforcement of prevention of detachment and the device having high mounting density can be obtained.

Data supplied from the esp@cenet database - i2

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

特許出願公開

昭59-227143

⑤Int. Cl.  
H 01 L 23/12  
23/28  
23/48

識別記号

序内整理番号  
7357-5F  
7738-5F  
7357-5F

③公開 昭和59年(1984)12月20日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑧集積回路パッケージ

②特願 昭58-101317  
②出願 昭58(1983)6月7日  
②発明者 西川誠一

小金井市貫井北町2-15-12  
①出願人 大日本印刷株式会社  
東京都新宿区市谷加賀町1丁目  
12番地  
④代理人 弁理士 猪股清 外3名

明細書の抄録(内容に変更なし)  
明細書

1. 発明の名称 集積回路パッケージ

2. 特許請求の範囲

1. リードフレームのリード部にICチップが接続された上で底面モールドが施され、次いで前記リードフレームの不要部分が切断されることにより構成される集積回路において、前記リードフレームのリード部を底面モールドの表面に露出させたことを特徴とする集積回路。
2. 特許請求の範囲第1項記載の集積回路において、前記リード露出部分は金メッキ層で被覆してなる集積回路。
3. 特許請求の範囲第1項記載の集積回路において、前記リード露出部分はニッケルメッキ層および金メッキ層の2層メッキ層で被覆してなる集積回路。
4. 特許請求の範囲第1項記載の集積回路において、前記リードフレームと前記ICチップとは

リイヤンディングにより接続されてなる集積回路。

5. 特許請求の範囲第1項記載の集積回路において、前記リードフレームと前記ICチップとはダイヤンディングにより接続されてなる集積回路。

3. 発明の詳細な説明

本発明は集積回路パッケージに関する。

近年電子回路の代名詞的存在となつた集積回路は、半導体素子等により構成されたICチップ、このICチップの端子を外部に接続するため及び集積回路を機械的に支持するためのリード、ならびにICチップの封止およびICチップとリードとの接続部分の封止、さらに集積回路全体のハウジングとしてのパッケージからなつてゐる。

このパッケージには樹脂タイプのものとセラミックタイプのものがあり、まず樹脂タイプのものは第1回または第2回に示すような構造となつてゐる。第1回(a),(b)のものはデュアルインライン

パッケージ (DIP) と呼ぶれ。：ICチップ1をリードフレーム2上に設置して：ICチップ1の端子とリードフレーム2のリードとをワイヤーバンディングした上でICチップ1およびICチップ1とリードとの接続部分を樹脂モールド3により封止してなる。また第2回のものはフラントパッケージと呼ばれ、リードフレーム2のリードが平面内に引き出されている。

一方セラミックタイプのものは第3回(a), (b)に示すように、ICチップ1をセラミック基板4上に設置してICチップ1の端子をセラミック基板4の周縁に設けたメタライズ基板5にワイヤーバンディングし蓋6を被せてなるものである。

これら樹脂タイプおよびセラミックタイプの集積回路はそれぞれ一長一短があるが、コスト的に見た場合には樹脂タイプのものが遥かに利用し易い。

しかしながら、樹脂タイプのものはリードが集積回路の側方に出来るため、いくつかの集積回路を所定面積域内に並置しようとする場合に実装密度

が上げられないという欠点がある。

本発明は上述の点を考慮してなされたもので、リードを正面、逆面の少くとも一方に設けてなる樹脂モールド構造回路パッケージを提供するものである。

以下第4回乃至第11回を参照して本発明を実施例につき説明する。

第4回は本発明の集積回路に用いるリードフレームの一例を平面形状で示したものであり、中央部にICチップ1を設置するためのICチップマウント部2aが設けられ、このマウント部2aを取囲んでリード2bが8個設けられている。リード2bの1つはマウント部2aに連結されている。そして、各リード2bの中央部には端子2cが設けられている。この端子2cはリードフレーム2の平面に対し垂直方向に突出していて、板に樹脂モールド3が被された状態で樹脂表面から突出するようになつてている。

そして切断線C-Lで切断されることにより1つの集積回路が出来上がる。

第5回(a), (b)は本発明に係る集積回路パッケージの外観形状を示したもので、同図(a)はリード2bの樹脂モールド側方への突出部分を切断したもの、同図(b)は適当の長さだけリード2bを長したものを見している。これらに何れも外鉄回路等との接続を主として端子2cにより行うからリード2bの長さはせいぜい集積回路を固定するために必要な程度でよく、また固定を緩和等の他の手段によつて行うことにより集積回路の実装密度を向上し得る。なお、リード2bを集積回路の固定に利用すれば制震防止効果が得られる。

第6回(a), (b), (c)は第4回のリードフレームを用いて構成した本発明に係る集積回路の側断面形状を示したもので、同図(a)は端子2cが樹脂モールド3の樹脂表面から突出した例、同図(b)は端子2cが樹脂表面と同一面をなす場合、同図(c)は端子2cが樹脂表面より縮んでいる場合をそれぞれ示している。各場合とも端子2cの表面には金メッキ等を施しておくことが好ましい。

これら各場合ともICチップ1はリードフレー

ム2に対し端子2cと反対側に設けてある。これに、ICチップ1を端子2cと同一例に設けた場合、端子2cの突出寸法をICチップ1の高さよりも大としなければならず、それにはリードフレーム2の基厚をかなり大にする等の対策が必要なためである。したがつてマウント部2aをリード2bより一段下げる等のICチップ1の頂部がより低くなる手段を講じるか、あるいは端子2cをリードフレーム2とは別個に製作しリードフレーム2上に付着させる方法を採るかすれば、ICチップ1と端子2cとをリードフレーム2の同一例に配しても直支えない。

第7回(a), (b)はリードフレーム2を折曲げ成形することにより端子2cを形成した場合の集積回路の側断面形状を示したもので、同図(a)が端子2cの突出したもの、同図(b)が端子2cが突出しないものを示している。

第8回(a), (b)は上述のワイヤーバンディングと異なり、イアンダーバンディングによりICチップ1とリード2bとを接続してなる集積回路の例を示

してなり。すなはち(i)の場合には電子2eが断路モールド3の断路表面から突出した例、(ii)は断路を同一面をなす例である。表示しないのが第6図(i)の例のように端子2eが断路表面より込んだものも勿論可能である。

第9図(i), (ii)はギャングメンディングによる第7図(i), (ii)に相当する複数の断路表面形状を示したものであり、ICチップ1がリード2bに接続される外は第7図と同様である。

第10図(i), (ii)は第9図(i), (ii)の複数回路の平面形状を示したもので、リード2bのICチップ1寄りの端部はICチップ1の端子に位置合わせできるよう両端同士が最近し且つ尖つており、ICチップ1の端子に直接接続される。そしてリード2bのパッケージから突出した部分は短く成形されている。

第11図(i), (ii)は上述の複数回路をICカードすなわちプラスチックカードに複数回路を組込んだもので、例えば銀行の自動支払機等において使用されるものに組込んだ例を示している。上述の複

数回路10はプラスチックカード2の裏面に起張部4に周囲5に示すように貼りたる。そして組込み溝を断面で示したのが第12図である。複数回路10は複数列等によりカード2の一方のオーバーレイ5に固定される。カード2は一対のセンターニア4, 4が貼り合わされたもの又は一枚のセンターニア4に一対のオーバーレイ5, 5が貼り固定されてなり。センターニア4とオーバーレイ5との間に印刷が施されている。カード2の全厚みは0.6~0.8mmであり、複数回路10はそれよりも薄く製作できるから、カード2の面と複数回路10の面を同一面とする事は容易である。

このカードは所定のカード処理機に挿入されると端子2eを介してカードの裏板と複数回路との間での信号授受が行われ、カード処理される。

本発明は上述のように、複数回路の頂部等に端子を有するようにしたため、特にICカード組込みに適した複数回路が得られる。そして、このICカードの組込み時にはリード2bが複数回路端部から突出したものを用いれば制振効果のため

の構造が行われる。またカード以外に適用しても複数回路の実装密度を向上することができる。

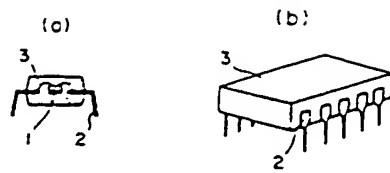
#### 4. 図面の簡単な説明

第1図(i), (ii)および第2図は従来の断路タイプ複数回路の構造説明図、第3図(i), (ii)は同じくセラミックタイプ複数回路の構造説明図、第4図は本発明に係る複数回路製作に用いるエフテングで端子を設けたリードフレームの一例を示す平面図、第5図(i), (ii)は本発明に係る複数回路の外観形状を示す図、第6図(i), (ii), (iii)は第4図のリードフレームを用いて構成した複数回路の断面構造を示す図、第7図(i), (ii)は折曲げにより端子を形成したリードフレームによる複数回路の断面構造を示す図、第8図(i), (ii)および第9図(i), (ii)はギャングメンディングによる複数回路の断面構造を示す図、第10図(i), (ii)はギャングメンディングによる複数回路の平面構造を示す図、第11図(i), (ii)は本発明に係る複数回路をICカードに適用した場合の説明図である。

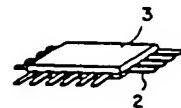
1…ICチップ、2…リードフレーム、2a…ICチップマウント部、2b…リード、2e…端子、3…断路モールド、4…セラミック基板、5…メタライズ電極、6…蓋、10…複数回路、20…カード。

出願人代理人 藤 勝 青

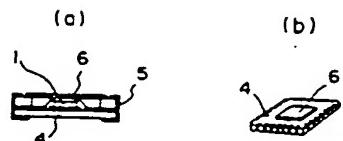
第一図



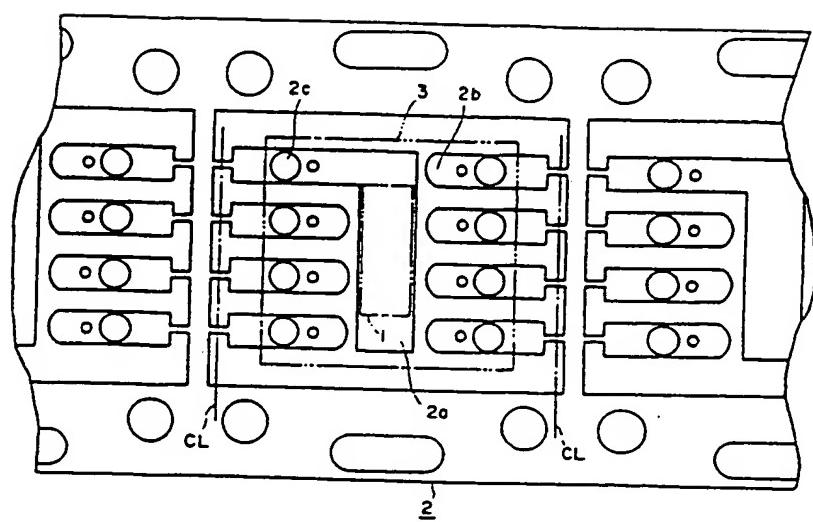
第二図



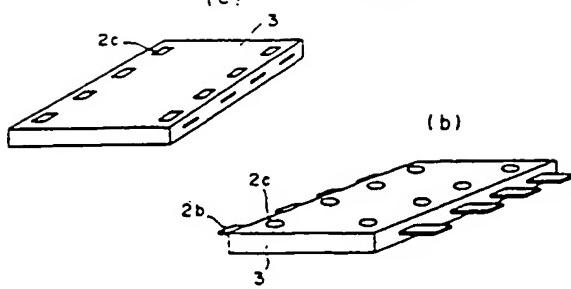
第三図



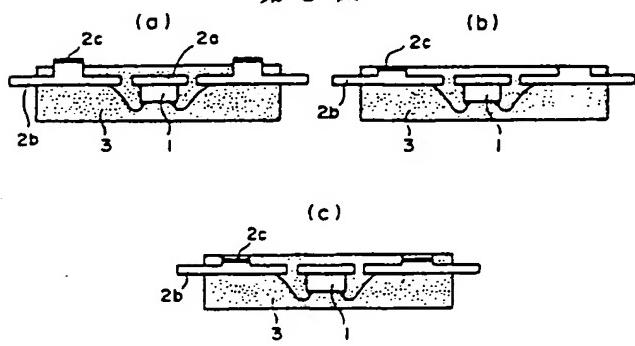
第四図



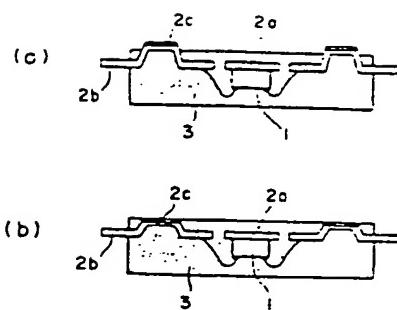
第5図



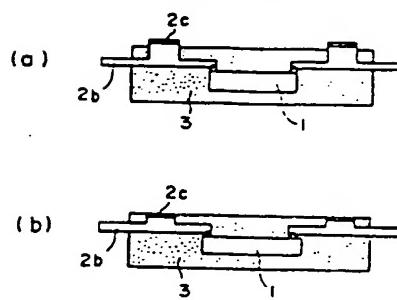
第6図



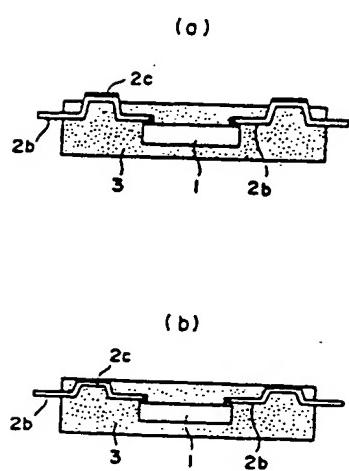
第7図



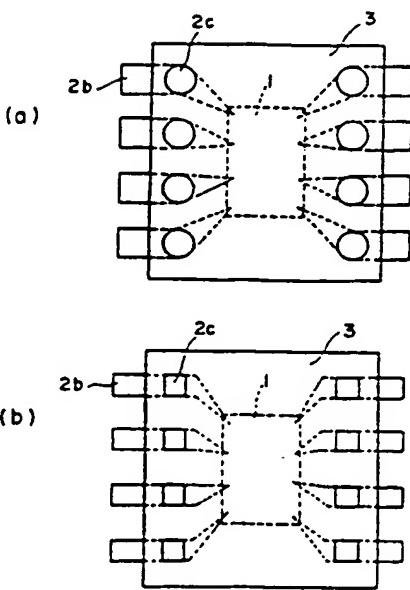
第8図



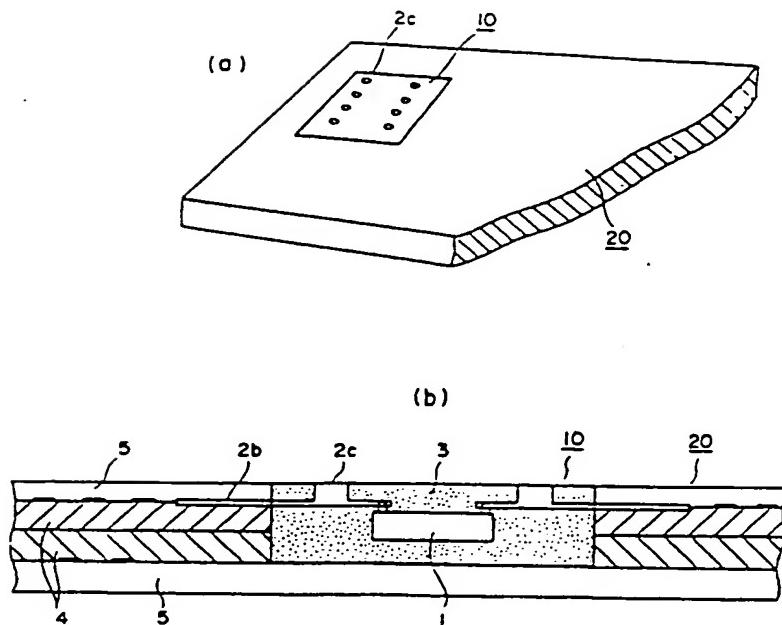
第9図



第10図



第11図



## 手続補正書

昭和58年7月7日

特許庁長官 石井和夫 殿

## 1. 事件の表示

昭和58年特許第101817号

## 2. 発明の名称

無段階回路パッケージ

## 3. 補正をする者

事件との関係 特許出願人

(280)大日本印刷株式会社

4. 代理人 (郵便番号100)  
東京都千代田区丸の内三丁目3番3号  
(電話東京(211)2321大代通)

4330 井澤士郎 殿



## 5. 補正命令の日付

昭和58年7月7日

&lt;発送日 昭和58年7月7日&gt;

## 6. 増正によりする発明の登録

## 7. 増正の対象

明細書および図面

## 8. 増正の内容

明細書および図面の内容(内容に変更なし)